



Jc781 U.S. PTO  
10/021322  
12/12/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

출원 번호 : 특허출원 2000년 제 80483 호  
Application Number PATENT-2000-0080483

출원 년 월 일 : 2000년 12월 22일  
Date of Application DEC 22, 2000

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 출원인정보변경 (경정)신고서  
【수신처】 특허청장  
【제출일자】 20010417

【출원인】

【명칭】 주식회사 하이닉스반도체  
【출원인코드】 119980045698

【대리인】

【성명】 특허법인 신성 정지원  
【대리인코드】 920000002923

【변경사항】

【변경항목】 한글 성명(명칭)  
【변경전】 현대전자산업주식회사  
【변경후】 주식회사 하이닉스반도체

【변경사항】

【변경항목】 영문 성명(명칭)  
【변경전】 HYUNDAI ELECTRONICS IND. CO.,LTD  
【변경후】 Hynix Semiconductor Inc.

【변경사항】

【변경항목】 인감  
【변경전】  
【변경후】

【취지】

특허법시행규칙 제9조·실용신안법시행규칙 제12조·  
의장법시행규칙 제28조 및 상표법시행규칙 제23조의  
규정에 의하여 위와 같이 신고합니다.

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000. 12. 22
【발명의 명칭】	탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법
【발명의 영문명칭】	Method for manufacturing Tantalium Oxy Nitride capacitor
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	박대진
【대리인코드】	9-1998-000254-2
【포괄위임등록번호】	1999-000705-0
【대리인】	
【성명】	정은섭
【대리인코드】	9-1998-000507-0
【포괄위임등록번호】	1999-000703-5
【발명자】	
【성명의 국문표기】	박동수
【성명의 영문표기】	PARK, Dong Su
【주민등록번호】	720511-1783411
【우편번호】	467-010
【주소】	경기도 이천시 창전동 410-7 유진빌라 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	전광석
【성명의 영문표기】	JEON, Kwang Seok
【주민등록번호】	700815-1347610
【우편번호】	467-010
【주소】	경기도 이천시 창전동 411-8 로알주택 101호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원신사 를 청구합니다. 대리인  
박대진 (인) 대리인  
정은섭 (인)

## 【수수료】

【기본출원료】	18 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	14 항	557,000 원
【합계】	586,000 원	

**【요약서】****【요약】**

본 발명은 반도체 소자 공정 중 탄탈륨 옥시 나이트라이드(TaON) 막을 이용한 캐퍼시터의 형성 방법에 대한 것으로, 특히 하부 전극에 MPS(Metastable Poly Silicon) 막을 형성한 후 P-doping을 실시하는 단계와 탄탈륨 옥시 나이트라이드 막을 형성하는 전처리 단계인 질화막을 형성하는 단계를 함께 (in-situ) 진행함으로써, 공정 단계를 감소시켜 수율을 높이고, 종래에 상기 두 공정 사이에 진행되던 클리닝 공정시 하부 전극 표면에 인이 제거되어 하부 전극에 포함된 인의 농도가 감소하는 현상을 막을 수 있어서, 캐퍼시터의 정전 용량(Capacitance)을 증가시킬 수 있는 캐퍼시터 형성 방법에 관한 것이다.

**【대표도】**

도 5

**【색인어】**

탄탈륨 옥시 나이트라이드, 캐퍼시터, 정전 용량, 챔버, 공핍

## 【명세서】

## 【발명의 명칭】

탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법{Method for manufacturing Tantalum Oxy Nitride capacitor}

## 【도면의 간단한 설명】

도 1 내지 도 5는 탄탈륨 옥시 나이트라이드 캐퍼시터를 제조하는 공정 순서를 나타낸 도면으로써,

도 1은 하부 전극을 형성하고, 그 상부에 MPS(다만 MPS는 도시하지 않음)를 형성한 후의 결과물을 나타낸 도면이고,

도 2는 상기 결과물에 대해 MPS 도핑을 진행한 결과물을 나타낸 도면이며,

도 3은 탄탈륨 옥시 나이트라이드 전처리 단계로써, 질화막 증착 단계를 진행한 후의 결과물을 나타낸 도면이고,

도 4는 상기 결과물의 상부에 탄탈륨 옥시 나이트라이드 박막을 증착한 후의 결과물을 나타낸 도면이며,

도 5는 상기 결과물의 상부에 상부 전극을 형성하여 완성된 탄탈륨 옥시 나이트라이드 캐퍼시터를 나타내는 도면이다.

\*도면의 주요 부분에 대한 부호의 설명\*

100 : 하부 전극

102 : 질화막

104 : 탄탈륨 옥시 나이트라이드 박막 106 : 상부 전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자 공정 중 탄탈륨 옥시 나이트라이드(TaON) 막을 이용한 캐퍼시터의 형성 방법에 대한 것으로, 특히 하부 전극에 MPS(Metastable Poly Silicon) 막을 형성한 후 P-doping을 실시하는 단계와 탄탈륨 옥시 나이트라이드 막을 형성하는 전처리 단계인 질화막을 형성하는 단계를 함께 (in-situ) 진행함으로써, 공정 단계를 감소시켜 수율을 높이고, 종래에 상기 두 공정 사이에 진행되던 클리닝 공정시 하부 전극 표면에 인이 제거되어 하부 전극에 포함된 인의 농도가 감소하는 현상을 막을 수 있어서, 캐퍼시터의 정전 용량(Capacitance)을 증가시킬 수 있는 캐퍼시터 형성 방법에 관한 것이다.

<11> 일반적으로, 캐퍼시터는 전하를 저장하여 반도체 소자의 동작에 필요한 전하를 저장하게 되는 것으로써, 반도체 소자가 고집적화됨에 따라 셀의 크기는 작아져야하는데 반해, 소자의 동작에 필요한 정전 용량은 약간씩 증가해야 하는 것이 일반적인 경향이며, 현재 64M DRAM이상의 소자에서 필요로 하는 정전 용량은 셀당 30fF 이상인 것으로 알려져 있다.

<12> 이와 같이 반도체 소자의 고집적화가 이루어짐에 따라 캐퍼시터 역시 소형화될 것이 요구되고 있으나, 요구되는 정전 용량을 충족하기 위한 전하를 저장하는데 필요한 크기의 한계로 인하여, 캐퍼시터를 소형화시키는데 있어 어려움에 봉착하게 되었다.

- <13> 이러한 점을 감안하여 각 업체에서 캐퍼시터의 전하를 저장하기 위한 구조를 다양하게 변화하기에 이르렀으며, 캐퍼시터의 전하를 증가시키는 방법에는 유전 상수가 큰 탄탈륨 옥시 나이트라이드( $\text{TaON}$ ), BST 등을 유전체로 사용하는 방법, 유전 물질의 두께를 낮추는 방법 및 캐퍼시터의 표면적을 늘리는 방법 등이 있다.
- <14> 이중, 유전 상수가 큰 탄탈륨 옥시 나이트라이드를 유전체로 사용하여 캐퍼시터를 형성하는 종래의 공정을 간략하게 살펴보면,
- <15> 우선 MPS 성장이 가능한 언도프트 실리콘, 로우 도핑 실리콘 또는 도프트/언도프트 실리콘을 사용하여 하부 전극(100)을 형성하고(하부 전극 형성 단계), 상기 모양이 형성된 하부 전극에 대해 습식 또는 건식 식각을 실시하고 나서, 실리콘 소스를 포함하는 기체를 사용하여 MPS를 형성한 후(MPS 형성 단계), P가 포함된 혼합 기체를 이용하여 P-Doping을 실시한다.(MPS 도핑 단계)
- <16> 다음으로, 자연 산화막을 제거하기 위해 HF, BOE, 황산, SC-1 등을 이용하여 클리닝 공정을 실시하고 나서, 상기 공정의 결과물에 대한 질화막 처리를 시행하여, 상기 하부전극의 Si와 상기 형성된 질화막(102)의 N을 반응시킴으로써, 상기 하부 전극 표면에 Si-N 결합이 5 내지 20Å 정도로 형성되도록 한다.(탄탈륨 옥시 나이트라이드 전처리 단계)
- <17> 상기 탄탈륨 옥시 나이트라이드 전처리 단계를 진행한 다음, 웨이퍼 상에서 일어나는 표면 화학 반응(surface chemical reaction)을 통해 탄탈륨이 포함된 화학 증기를 사용하여 비정질 박막(104)을 증착시킨다.(탄탈륨 옥시 나이트라이드 박막 형성 단계)



- <18> 그리고 나서, 플라즈마를 이용하여 상기 결과물의 표면을 질화시키거나 질 산화시켜, 계면의 마이크로 크랙 및 핀 홀과 같은 구조적 결함을 보강하고 균질도를 향상시킬 수 있다.(탄탈륨 옥시 나이트라이드 후처리 단계) 이후, 금속층을 적층하여 상부 전극(106)을 형성함으로써 탄탈륨 옥시 나이트라이드를 이용한 캐퍼시터를 형성 할 수 있다.(상부 전극 형성 단계)
- <19> 상기와 같은 종래의 캐퍼시터 형성 공정에 있어서, 상기 탄탈륨 옥시 나이트라이드 전처리 공정은 Si-N 결합의 효과를 증대시키기 위해 플라즈마를 여기한 상태에서 진행되는 바, 상기 플라즈마에 의한 온도 증가로 인해 저압 화학 기상 증착법(LPCVD)으로 증착되는 탄탈륨 옥시 나이트라이드 막이 웨이퍼에 따라 불균일하게 증착되어 공정 조건을 맞추기 힘든 문제점이 도출된다. 특히, 상기 탄탈륨 옥시 나이트라이드는 450℃ 이하의 저온에서 증착되어야 하기 때문에 상기와 같은 온도 증가로 인한 문제가 더욱 커질 수 있다.
- <20> 또한, 상기 MPS 도핑 단계와 탄탈륨 옥시 나이트라이드 전처리 공정 중의 질화막 처리 단계 사이의 클리닝 공정시, 상기 MPS 도핑 처리로 하이 도핑(HIGH DOPING)된 인이 제거되어 하부 전극에 포함된 인의 농도가 감소할 수 있는 바, 이로 인해 하부 전극에 포함된 인의 농도가 감소하여 공핍(depletion)이 발생할 수 있어서, 생성되는 캐퍼시터의 정전 용량(capacitance)을 감소시키는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<21> 이에, 본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여, MPS 도핑 단계를 탄탈륨 옥시 나이트라이드 전처리 단계 종의 질화막 처리 단계와 같은 챔버에서 함께(in-situ) 실시함으로써, 클리닝 공정시 일어날 수 있는 인의 농도 감소를 막아 캐퍼시터의 정전 용량을 증가시키고, 형성 단계를 감소시켜 공정의 수율을 높일 수 있는 캐퍼시터 형성 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<22> 상기와 같은 목적을 달성하기 위하여, 본 발명은 언도프트 실리콘, 로우 도핑 실리콘, 또는 도프트/언도프트 실리콘을 이용하여 하부 전극을 형성하는 단계와; 상기 형성된 하부 전극에 대하여 습식 또는 건식 식각을 진행하고 나서, 실리콘 소스를 포함하는 기체를 사용하여 MPS를 형성하는 단계와; 상기 단계 후에 P가 포함된 혼합 기체를 사용하여 MPS도핑을 실시하는 단계와; 상기 공정이 진행된 같은 챔버내에서 탄탈륨 옥시 나이트라이드 전처리로 질화막을 증착하는 단계와; 상기 질화막 상에 탄탈륨이 포함된 화학 증기를 사용하여 탄탈륨 옥시 나이트라이드 박막을 증착하는 단계와; 상기 단계 후 상기 박막의 표면을 질화시키거나 질산화시켜 탄탈륨 옥시 나이트라이드 후처리를 실시하는 단계; 및 상기 결과물의 상부에 금속층을 적층하여 상부 전극을 형성하는 단계로 구성됨을 특징으로 하는 탄탈륨 옥시 나이트라이드를 이용한 캐퍼시터의 형성 방법을 제공한다.

- <23> 또한, 상기와 같은 방법에 있어서, 동일 시스템 내에 MPS 그로잉 챔버, MPS 도핑 챔버, 탄탈륨 옥시 나이트라이드 챔버가 모두 있는 경우 상기 MPS 형성 단계로부터 탄탈륨 옥시 나이트라이드 박막 증착 단계까지를 동일 시스템내에서 진행할 수 있는 바, 본 발명은 상기 네 공정이 동일 시스템내에서 진행됨을 특징으로 하는 캐퍼시터 형성 방법을 제공한다.
- <24> 상기에서 볼 수 있는 바와 같이, 본 발명에 의한 캐퍼시터 형성 방법은 MPS 도핑 단계와 탄탈륨 옥시 나이트라이드 전처리 단계인 질화막 증착 단계를 같은 챔버내에서 실시함으로써, 자연 산화막 제거를 제거하기 위한 클리닝 공정이 불필요하게 되어, 상기 클리닝에 의한 정전 용량 감소 현상 및 MPS 알갱이가 깨짐으로써 발생하는 셀간의 가교를 막을 수 있다.
- <25> 또한, 본 발명은 MPS 도핑 과정과 탄탈륨 옥시 나이트라이드 전처리 공정인 질화막 증착 과정을 같은 챔버내에서 실시하므로, 종래의 방법에서와 같이 여기된 플라즈마에 의한 챔버의 온도 증가로 탄탈륨 옥시 나이트라이드가 불균일하게 증착되는 문제점이 발생하지 않는다.
- <26> 상기와 같은 본 발명의 캐퍼시터 형성 방법에 있어서, 상기 하부 전극에 대한 식각은 HF가 포함된 기체를 사용하여 할 수 있으며, 바람직하게는 HF/H<sub>2</sub>O, HF/H<sub>2</sub>O<sub>2</sub>, BOE, HF/CH<sub>3</sub>COOH/NO<sub>2</sub> 등의 혼합 기체를 사용할 수 있다.
- <27> 그리고, 상기 MPS를 형성하는 단계에 있어서, 상기 실리콘 소스를 포함하는 기체로는 SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub> 를 사용함이 바람직하며, 상기 공정은 5.0E-04 이하의 압력에서 700℃(웨이퍼 온도기준) 이하의 온도로 수행함이 바람직하다.

- <28> 그리고, 상기 MPS 도평을 실시하는 공정은 1.0E-03 내지 500 torr의 압력 및 500 내지 1000℃의 온도하에서 수행함이 바람직하며, 상기 P가 포함된 혼합 기체로는 PH<sub>3</sub>를 포함하는 기체를 사용할 수 있고, 바람직하게는 PH<sub>3</sub>/N<sub>2</sub>, PH<sub>3</sub>/H<sub>2</sub>, PH<sub>3</sub>/Ar, PH<sub>3</sub>/SiH<sub>4</sub> 를 사용함이 바람직하다.
- <29> 또한, 상기 질화막을 증착하는 단계는 NH<sub>3</sub> 기체를 사용함이 바람직하고, 0.1 내지 200 torr 의 압력, 500 내지 850℃의 온도하에서 수행함이 바람직하다.
- <30> 그리고, 상기 탄탈륨 옥시 나이트라이드 박막을 증착하는 단계에 있어서, 상기 화학 증기는 탄탈륨 에틸레이트와 같은 탄탈륨 화합물을 MFC(Mass flow controller)와 같은 유량 조절기를 통해 정량된 양만큼 증발기 또는 증발관으로 공급한 다음 일정량을 150 내지 200 ℃의 온도 범위에서 증발시켜 얻을 수 있다. 상기와 같은 방법으로 얻은 화학 증기 및 반응 가스인 과잉 O<sub>2</sub> 기체와 NH<sub>3</sub>기체를 10 내지 1000sccm 범위내의 유량으로 각각 정량하여 공급한 다음 300 내지 600 ℃의 LPCVD 챔버내에서 표면 반응 시킴으로써 비정질의 탄탈륨 옥시 나이트라이드 박막을 얻을 수 있다.
- <31> 또한, 상기 탄탈륨 옥시 나이트라이드 후처리 공정은 플라즈마를 이용하여 200 내지 600℃의 온도 및 NH<sub>3</sub>(또는 N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O, O<sub>2</sub> 분위기)분위기 하에서 표면을 질화시키거나, N<sub>2</sub>O(또는 O<sub>2</sub>) 분위기에서 (질)산화시켜 행할 수 있다. 상기와 같은 후처리 공정을 시행함으로써, 마이크로 크랙 및 편홀과 같은 구조적 결함을 보강하고, 균질도를 향상시킬 수 있다. 다만, 이러한 방법은 탄탈륨 옥시 나이트

라이드의 특성은 개선되나 공정이 추가되기에 다음 단계의 고온 열처리에서 제품에서 원하는 전기적 특성이 확보되면 본 공정을 생략할 수 있다. 특히, 비정질 탄탈륨 옥시 나이트라이드 박막을 증착한 다음 RTP(rapid thermal process) 또는 전기로를 이용할 경우 650 내지 950℃의 온도 및 NH<sub>3</sub> 분위기(또는 N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O, O<sub>2</sub> 분위기)에서 30초 내지 120분 동안 질화시키거나 (질)산화시키는 과정을 통해 결정화를 동시에 유도할 수 있다.

<32> 그리고, 상기 상부 전극을 형성하는 단계에 있어서, 상기 금속으로는 폴리 실리콘(Poly Si), 티타늄 나이트라이드(TiN), 탄탈륨 나이트라이드(TaN), 텅스텐(W), 텅스텐 나이트라이드(WN), 텅스텐 실리사이드(WSi), 루테튬(RU), 루테튬 옥사이드(RuO<sub>2</sub>), 이리듐(Ir), 이리듐 옥사이드(IrO<sub>2</sub>), 백금(Pt) 으로 이루어진 그룹에서 선택된 하나의 금속을 증착하거나, 둘 이상의 금속을 적층 구조로 증착함이 바람직하다.

<33> 이하, 첨부한 도면을 참고하여 본 발명의 바람직한 실시예에 대하여 상세히 설명하기로 한다. 다만, 본 발명의 권리 범위가 이에 한정되는 것은 아니며, 하나의 예시로 제시된 것이다.

<34> 도 1 내지 도 5는 본 발명에 따르는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법을 순차적으로 보인 도면이다.

<35> 본 발명에 따르는 공정을 살펴보면, 우선 도 1에 도시된 바와 같이 하부 전극(100)을 형성한다. 이때, 하부 전극은 상기한 바와 같이 MPS 성장이 가능한 언도프트 실리콘, 로우 도핑 실리콘, 도프트/언도프트 실리콘 등을 사용한다. 이때 전

극으로 사용되는 박막은  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$  등의 실리콘 소스를 포함하는 기체와  $\text{PH}_3$ 가 포함되어 있는  $\text{PH}_3/\text{N}_2$ ,  $\text{PH}_3/\text{He}$ ,  $\text{PH}_3/\text{SiH}_4$ ,  $\text{PH}_3/\text{Ar}$  등의 기체를 사용하여  $560^\circ\text{C}$  이하의 온도에서 증착되는 비정질 실리콘 막을 사용한다. 이 때, 상기 기체의 사용량이나, 압력 등의 조건은 선택적 다결정 실리콘 성장 기술(MPS 성장 기술)에 적절하게 할 수 있다.

<36> 다음으로 상기에서 형성된 하부 전극에 대해  $\text{HF}/\text{H}_2\text{O}$ ,  $\text{HF}/\text{H}_2\text{O}_2$ , BOE,  $\text{HF}/\text{CH}_3\text{COOH}/\text{NO}_2$  등의 혼합 기체를 사용하여 습식/건식 식각을 실시하고, 이를  $1.0\text{E}-02$  torr 이하의 압력을 유지시키는 공간에 보관하면서,  $5.0\text{E}-04$  torr 이하의 압력,  $700^\circ\text{C}$  이상의 온도 하에서 실리콘 소스를 포함한  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$  를 사용하여 상기 결과물의 상부에 MPS를 형성한다. (MPS 형성 단계) 다만, 상기 형성된 MPS는 본 발명의 특징과 큰 관계가 없어 도면에는 도시하지 않았다.

<37> 상기 과정을 거치고 나서,  $1.0\text{E}-03$  내지 500 torr의 압력, 500 내지  $1000^\circ\text{C}$ 의 온도하에서  $\text{PH}_3$ 가 포함되어 있는  $\text{PH}_3/\text{N}_2$ ,  $\text{PH}_3/\text{H}_2$ ,  $\text{PH}_3/\text{SiH}_4$ ,  $\text{PH}_3/\text{Ar}$  등의 기체를 사용하여 P-도핑을 실시한다. (MPS 도핑 단계) 첨부된 도 2는 상기 MPS 도핑이 진행된 하부 전극을 도시한 도면이다.

<38> 그리고 나서, 상기 과정이 진행된 챔버내에서(in-situ)  $\text{NH}_3$  기체를 사용하여 압력 0.1 내지 200 torr, 온도 600 내지  $850^\circ\text{C}$ 의 조건으로 질화막(102) 처리를 실시함으로써, 상기  $\text{NH}_3$ 가 하부 전극의 Si와 반응하도록 하여 도 3에서 보는 바와 같이 하부 전극의 표면에 실리콘-질소(Si-N)결합이 5 내지  $20\text{\AA}$ 의 두께로 형성되도록 한다. (탄탈륨 옥시 나이트라이드 전처리 단계)

<39>       상기 탄탈륨 옥시 나이트라이드 전처리 공정을 진행한 후에, 탄탈륨 에틸레이트와 같은 탄탈륨 화합물을 MFC(mass flow controller)와 같은 유량 조절기를 통해 정량된 만큼 증발기 또는 증발관으로 공급한 다음 일정량을 150 내지 200℃의 온도 범위에서 증발시켜 탄탈륨 성분의 화학 증기를 얻고, 상기 화학 증기 및 반응 기체인 과잉의  $O_2$  기체와  $NH_3$  기체를 10 내지 1000sccm 범위내의 유량으로 각각 정량하여 공급한 다음 300-600℃의 LPCVD 챔버내에서 표면 반응 시키면, 도 4에서 보는 바와 같이 비정질 탄탈륨 옥시 나이트라이드 박막(104)을 얻을 수 있다.(탄탈륨 옥시 나이트라이드 박막 형성 단계)

<40>       이후, in-situ 또는 ex-situ 에서 플라즈마를 이용하여 200 내지 600℃,  $NH_3$ (또는  $N_2/H_2$ )분위기에서 표면을 질화시키거나,  $N_2O$ (또는  $O_2$ )분위기에서 질산화시켜 계면의 마이크로 크랙 및 핀 홀과 같은 구조적 결함을 보강하고 균질도를 향상시킬 수 있다. 특히, 비정질 탄탈륨 옥시 나이트라이드 박막을 증착한 다음 RTP(rapid thermal process) 또는 전기로를 이용할 경우 650-950℃,  $NH_3$  분위기(또는  $N_2/H_2$ ,  $N_2O$ ,  $O_2$ )에서 30초 120분간 질화시키거나 산화시키는 과정을 통해 결정화를 동시에 유도할 수 있다.(탄탈륨 옥시 나이트라이드 후처리 단계)

<41>       상기 후처리 단계를 진행한 후에 도 5에서 보는 바와 같이, 상부 전극(106)을 형성하여, 본 발명에 의한 캐퍼시터를 완성한다. 상기 상부 전극은 상기한 바와 같이 폴리 실리콘(Poly Si), 티타늄 나이트라이드(TiN), 탄탈륨 나이트라이드(TaN), 텅스텐(W), 텅스텐 나이트라이드(WN), 텅스텐 실리사이드(WSi), 루테튬(RU), 루테튬 옥사이드( $RuO_2$ ), 이리듐(Ir), 이리듐 옥사이드( $IrO_2$ ), 백금(Pt)등을 단독 또는 적층 구조로 증착하여 형성할 수

있다.(상부 전극 형성 단계)

【발명의 효과】

<42>       상기에서 본 바와 같이, 본 발명에 의한 탄탈륨 옥시 나이트라이드 캐퍼시터 형성 방법에서는 MPS 도핑 단계와 탄탈륨 옥시 나이트라이드 전처리 단계가 같은 챔버내에서(in-situ) 진행되기 때문에, 클리닝에 의한 하부 전극 표면의 P 농도 감소로 발생하는 공핍을 막을 수 있어서, 형성되는 캐퍼시터의 정전 용량을 증가시킬 수 있고, 클리닝에 의한 MPS 알갱이의 깨짐 현상을 방지할 수 있어서, MPS 알갱이에 의한 셀간의 가교(bridge)를 막아 소자의 비트 패일(bit fail)을 감소시킬 수 있다.

<43>       또한, 본 발명에서는 MPS 형성 단계로부터 탄탈륨 옥시 나이트라이드 박막 형성 단계까지를 같은 시스템내에서 일괄적으로 진행할 수 있는 바, 이로 인해 장비 투자 및 공정 시간을 감소시켜 공정의 생산성을 향상시킬 수 있다.



**【특허청구범위】****【청구항 1】**

언도프트 실리콘, 로우 도핑 실리콘, 또는 도프트/언도프트 실리콘을 이용하여 하부 전극을 형성하는 단계와; 상기 형성된 하부 전극에 대하여 습식 또는 건식 식각을 진행하고 나서, 실리콘 소스를 포함하는 기체를 사용하여 MPS를 형성하는 단계와; 상기 단계 후에 P가 포함된 혼합 기체를 사용하여 MPS도핑을 실시하는 단계와; 상기 공정이 진행된 같은 챔버내에서 탄탈륨 옥시 나이트라이드 전처리로 질화막을 증착하는 단계와; 상기 질화막 상에 탄탈륨이 포함된 화학 증기를 사용하여 탄탈륨 옥시 나이트라이드 박막을 증착하는 단계와; 상기 단계 후 상기 박막의 표면을 질화시키거나 질산화시켜 탄탈륨 옥시 나이트라이드 후처리를 실시하는 단계; 및 상기 결과물의 상부에 금속층을 적층하여 상부 전극을 형성하는 단계로 구성됨을 특징으로 하는 탄탈륨 옥시 나이트라이드를 이용한 캐패시터의 형성 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 MPS 형성 단계, MPS 도핑 단계, 질화막을 증착하는 단계 및 탄탈륨 옥시 나이트라이드 박막을 증착하는 단계를 동일 시스템내에서 진행함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐패시터의 형성 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서, 상기 하부 전극에 대한 습식 또는 건식 식각은 하이드로 플로라이드(HF)가 포함된 사용하여 진행함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 4】**

제 3 항에 있어서, 상기 하이드로 플로라이드가 포함된 가체로는 하이드로 플로라이드(HF)/수증기(H<sub>2</sub>O), 하이드로 플로라이드(HF)/과산화수소(H<sub>2</sub>O<sub>2</sub>), BOE, 하이드로 플로라이드(HF)/아세트산(CH<sub>3</sub>COOH)/이산화질소(NO<sub>2</sub>)로 이루어진 그룹에서 선택된 하나의 기체를 사용함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 5】**

제 1 항 또는 제 2 항에 있어서, 상기 MPS를 형성하는 단계에 사용되는 실리콘 소스를 포함하는 기체로는 SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub> 중에 선택된 하나의 기체를 사용함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 6】**

제 1 항 또는 제 2 항에 있어서, 상기 MPS 도핑을 실시하는 공정은  $1.0 \times 10^{-3}$  내지 500 토르(torr)의 압력, 500 내지 1000℃의 온도하에서 실시함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 7】**

제 1 항 또는 제 2 항에 있어서, 상기 인(P)이 포함된 기체로는  $\text{PH}_3$ 가 포함된 혼합 기체를 사용함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 8】**

제 7 항에 있어서, 상기  $\text{PH}_3$ 가 포함된 혼합 기체로는  $\text{PH}_3/\text{N}_2$ ,  $\text{PH}_3/\text{H}_2$ ,  $\text{PH}_3/\text{Ar}$ ,  $\text{PH}_3/\text{SiH}_4$  중에서 선택된 하나의 기체를 사용함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 9】**

제 1 항 또는 제 2 항에 있어서, 상기 질화막을 증착하는 단계는 암모니아( $\text{NH}_3$ ) 기체를 사용하여 진행함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 10】**

제 9 항에 있어서, 상기 질화막을 증착하는 단계는 0.1 내지 200 토르(torr)의 압력, 600 내지 850℃의 온도에서 수행함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 11】**

제 1 항 또는 제 2 항에 있어서, 상기 탄탈륨을 포함하는 화학 증기로는 증발된 탄탈륨 에틸레이트를 사용함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 12】**

제 1 항 또는 제 2 항에 있어서, 상기 탄탈륨 옥시 나이트라이드 후처리 공정은  $\text{NH}_3$ (또는  $\text{N}_2/\text{H}_2$ )분위기 하에서 표면을 질화시키거나,  $\text{N}_2\text{O}$ (또는  $\text{O}_2$ )분위기 하에서 (질)산화시킴으로써 진행함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 13】**

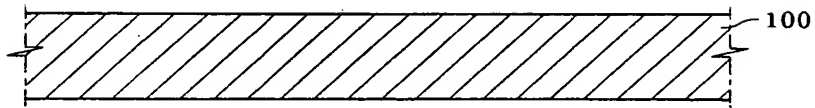
제 12 항에 있어서, 상기 탄탈륨 옥시 나이트라이드 후처리 공정은 플라즈마를 이용하여, 200 내지 600℃의 온도에서 수행함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

**【청구항 14】**

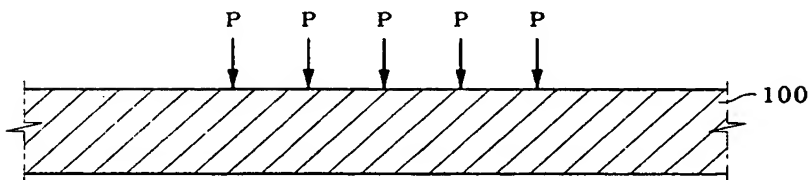
제 1 항 또는 제 2 항에 있어서, 상기 상부 전극은 폴리 실리콘(Poly Si), 티타늄 나이트라이드(TiN), 탄탈륨 나이트라이드(TaN), 텅스텐(W), 텅스텐 나이트라이드(WN), 텅스텐 실리사이드(WSi), 루테튬(Ru), 루테튬 옥사이드( $\text{RuO}_2$ ), 이리듐(Ir), 이리듐 옥사이드( $\text{IrO}_2$ ), 백금(Pt)으로 이루어진 그룹에서 선택된 하나의 물질을 단독 또는 적층 구조로 증착하여 형성함을 특징으로 하는 탄탈륨 옥시 나이트라이드 캐퍼시터의 형성 방법.

【도면】

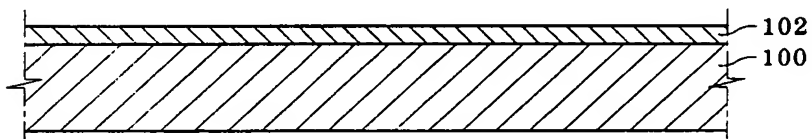
【도 1】



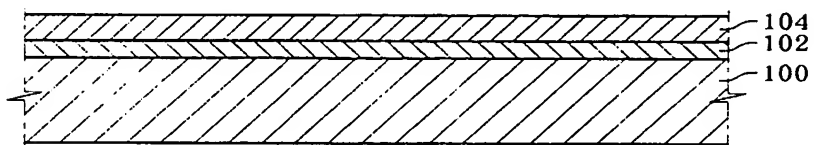
【도 2】



【도 3】



【도 4】



【도 5】

